

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 4月17日

出 願 番 号

Application Number:

特願2001-118539

出 願 人

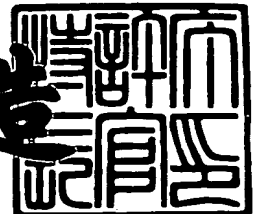
Applicant(s):

セイコーインスツルメンツ株式会社

2001年 9月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3084406

【書類名】 特許願

【整理番号】 01000294

【提出日】 平成13年 4月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/06

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインス
ツルメンツ株式会社内

【氏名】 長谷川 尚

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインス
ツルメンツ株式会社内

【氏名】 小山内 潤

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 服部 純一

【代理人】

【識別番号】 100096378

【弁理士】

【氏名又は名称】 坂上 正明

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103799

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に熱酸化による素子分離絶縁膜を形成する工程と、熱酸化によるゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に $500\text{ \AA} \sim 2500\text{ \AA}$ の第 1 の多結晶シリコン膜を堆積する工程と、前記第 1 の多結晶シリコン膜に不純物濃度が $1 \times 10^{18}\text{ atoms/cm}^3$ 以上となるように不純物をドーピングを行い前記第 1 の多結晶シリコン膜の導電型を P 型する工程と、前記第 1 の P 型多結晶シリコン上に $500\text{ \AA} \sim 2500\text{ \AA}$ からなる高融点金属シリサイドを堆積する工程と、前記高融点金属シリサイド上に $500\text{ \AA} \sim 3000\text{ \AA}$ からなる絶縁膜を堆積する工程と、前記第 1 の P 型多結晶シリコンと前記高融点金属シリサイドと前記絶縁膜をエッチングしゲート電極を形成する工程と、前記素子分離絶縁膜上に $500\text{ \AA} \sim 2500\text{ \AA}$ からなる第 2 の多結晶シリコン膜を堆積する工程と、前記第 2 の多結晶シリコン膜の全域ないしは前記第 2 の多結晶シリコン膜の第 1 の領域に第 1 の導電型の不純物を $1 \times 10^{14} \sim 9 \times 10^{18}\text{ atoms/cm}^3$ ドーピングする工程と、前記第 2 の多結晶シリコン膜の第 2 の領域に第 2 の導電型の不純物を $1 \times 10^{14} \sim 9 \times 10^{18}\text{ atoms/cm}^3$ ドーピングする工程と、前記第 2 の多結晶シリコン膜をエッチングし第 2 の多結晶シリコン膜の抵抗体を形成する工程と、第 1 の導電型の MOS トランジスタの低濃度拡散領域に第 1 の導電型の不純物を $1 \times 10^{16} \sim 1 \times 10^{18}\text{ atoms/cm}^3$ ドーピングする工程と、第 2 の導電型の MOS トランジスタの低濃度拡散領域に第 2 の導電型の不純物を $1 \times 10^{16} \sim 1 \times 10^{18}\text{ atoms/cm}^3$ ドーピングする工程と、前記第 2 の多結晶シリコン膜の第 1 の領域の一部ないし全域に $1 \times 10^{19}\text{ atoms/cm}^3$ 以上の第 1 の導電型の不純物をドーピングする工程と、前記第 2 の多結晶シリコン膜の第 2 の領域の一部ないし全域に $1 \times 10^{19}\text{ atoms/cm}^3$ 以上の第 2 の導電型の不純物をドーピングする工程と、前記半導体基板上に中間絶縁膜を形成する工程と、前記半導体基板上の前記中間絶縁膜にコンタクト孔を形成する工程と、前記コンタクト孔に金属配線を設けることからなる半導体装置の製造方法。

【請求項 2】 前記第 1 の多結晶シリコン膜への不純物導入法がボロンのイ

オン注入であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記第 1 の多結晶シリコン膜への不純物導入法が BF_2 のイオン注入であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記第 1 の多結晶シリコン膜への不純物導入法が、前記第 1 の多結晶シリコン膜の堆積時に不純物を同時に混入しながら堆積する Doped-CVD 法であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記高融点金属シリサイド上に堆積した前記絶縁膜が酸化膜で構成されていることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】 前記高融点金属シリサイド上に堆積した前記絶縁膜が窒化膜で構成されていることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 7】 前記高融点金属シリサイド上に堆積した前記絶縁膜が酸化膜及び窒化膜及び酸化膜の積層構成されていることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 8】 前記第 1 の導電型の MOS トランジスタの前記低濃度拡散領域に第 1 の導電型の不純物を $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ ドーピングする工程と前記第 2 の多結晶シリコン膜の第 1 の領域の一部及び全域への第 1 の導電型の不純物ドーピング工程が同時であり、前記第 2 の導電型の MOS トランジスタの前記低濃度拡散領域に第 2 の導電型の不純物を $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ ドーピングする工程と前記第 2 の多結晶シリコン膜の第 2 の領域の一部及び全域への第 2 の導電型の不純物ドーピング工程が同時であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 9】 前記第 2 の多結晶シリコン膜の第 1 の領域の一部及び全域への $1 \times 10^{19} \text{ atoms/cm}^3$ 以上の第 1 の導電型の不純物ドーピングが第 1 の導電型の MOS トランジスタの拡散領域ドーピングと同時であり、前記第 2 の多結晶シリコン膜の第 2 の領域の一部及び全域への $1 \times 10^{19} \text{ atoms/cm}^3$ 以上の第 2 の導電型の不純物ドーピングが第 2 の導電型の MOS トランジスタの拡散領域ドーピングと同時であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は抵抗回路を有する相補型MOS半導体装置において低電圧動作、低消費電力および高駆動能力が要求される半導体装置、特に電圧検出器(Voltage Detector、以後VDと表記)や定電圧レギュレータ(Voltage Regulator、以後VRと表記)やスイッチングレギュレータ(Switching Regulator、以後SWRと表記など)などのパワーマネージメント半導体装置やオペアンプ、コンパレータなどのアナログ半導体装置の製造方法に関する。

【0002】

【従来の技術】

従来多結晶シリコンなどの抵抗体を使用した抵抗回路を有する相補型MOS半導体装置は数多く使用されている。図3は従来の抵抗回路を備えた半導体装置の構造の一実施例を示したものである。P型半導体基板に形成されたゲート電極がN+型の多結晶シリコンからなるNチャネル型MOSトランジスタ(以後NMOSと表記)と、Nウェル領域に形成されたゲート電極がやはりN+型の多結晶シリコンからなるPチャネル型MOSトランジスタ(以後PMOSと表記)とからなる相補型MOS構造(Complementary MOS、以後CMOS表記)と、フィールド絶縁膜上に形成されている電圧を分圧するための分圧回路もしくは時定数を設定するCR回路などに用いられる抵抗体とから構成されている。

【0003】

【発明が解決しようとする課題】

この抵抗回路を有する相補型MOS(CMOS)半導体装置において、ゲート電極の極性はその製造の容易さ、安定性より、N+型多結晶シリコンがよく用いられている。この場合ゲート電極と半導体基板(ウェル)の仕事関数の関係よりNMOSトランジスタは表面チャネル型となるが、PMOSトランジスタの場合、やはりゲート電極と半導体基板の仕事関数の関係によりしきい値電圧は約-1Vとなる。そのためしきい値電圧を低下させるために不純物注入を行うと、表面より少し基板内部にチャネル形成する埋め込みチャネルとなってしまう。埋め込みチャネルは基板内部をキャリアが通過するため移動度が大きいという利点があるが、しきい値電圧を下げるとサブスレッショルド特性は極めて劣化し、リーク

電流が増加する。そのためNMOSトランジスタに比べPMOSトランジスタは低電圧化、短チャネル化が困難である。

またNMOSトランジスタ、PMOSトランジスタともに低電圧化が可能となる構造として、ゲート電極の極性をトランジスタの極性と等しくする同極ゲート構造というものがある。この構造はNMOSトランジスタのゲート電極にはN+型多結晶シリコン、PMOSトランジスタにはP+型多結晶シリコンを用いるためどちらも表面チャネル型となりリーク電流を抑えることができ低電圧化が可能となる。しかしながらゲート電極の極性を別々にすることによる製造工程数が増加し製造コストや製造工期の増大を招き、さらに最も基本的な回路要素であるインバータ回路においては通常は、面積効率の向上のためにNMOSトランジスタとPMOSトランジスタのゲート電極はメタルを介しての結線を避け平面的にNMOSトランジスタからPMOSトランジスタまで連続な1個の多結晶シリコンないしは多結晶シリコンと高融点金属シリサイドとの積層からなるポリサイド構造によりレイアウトされるが、図4に示すような多結晶シリコン単層から形成される場合にはその多結晶シリコン中のPN接合のインピーダンスが高く実用的でないこと、図5に示すようなポリサイド構造の場合にはN型とP型の不純物は工程における熱処理中に高融点金属シリサイド中を高速でお互いに逆導電型のゲート電極へ拡散し、その結果として仕事関数に変化してしきい値電圧が安定しないなどの、コスト面や特性面において問題を有している。

【0004】

【課題を解決するための手段】

上記課題を解決するために、本発明は次の手段を用いた。

【0005】

(1) 半導体基板上に熱酸化による素子分離絶縁膜を形成する工程と、熱酸化によるゲート絶縁膜を形成する工程と、ゲート絶縁膜上に500Å～2500Åの第1の多結晶シリコン膜を堆積する工程と、第1の多結晶シリコン膜に不純物濃度が $1 \times 10^{18} \text{atoms/cm}^3$ 以上となるように不純物をドーピングを行い第1の多結晶シリコン膜の導電性をP型する工程と、第1のP型多結晶シリコン上に500Å～2500Åからなる高融点金属シリサイドを堆積する工程と、高融点

金属シリサイド上に500Å～3000Åからなる絶縁膜を堆積する工程と、第1のP型多結晶シリコンと高融点金属シリサイドと絶縁膜をエッチングによりゲート電極を形成する工程と、素子分離絶縁膜上に500Å～2500Åからなる第2の多結晶シリコン膜を堆積する工程と、第2の多結晶シリコン膜の全域ないしは第2の多結晶シリコン膜の第1の領域に第1の導電型の不純物を $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ ドーピングする工程と、第2の多結晶シリコン膜の第2の領域に第2の導電型の不純物を $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ ドーピングする工程と、第2の多結晶シリコン膜をエッチングし第2の多結晶シリコン膜の抵抗体を形成する工程と、第1の導電型のMOSトランジスタの低濃度拡散領域に第1の導電型の不純物を $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ ドーピングする工程と、第2の導電型のMOSトランジスタの低濃度拡散領域に第2の導電型の不純物を $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ ドーピングする工程と、第2の多結晶シリコン膜の第1の領域の一部ないし全域に $1 \times 10^{19} \text{ atoms/cm}^3$ 以上の第1の導電型の不純物をドーピングする工程と、第2の多結晶シリコン膜の第2の領域の一部ないし全域に $1 \times 10^{19} \text{ atoms/cm}^3$ 以上の第2の導電型の不純物をドーピングする工程と、半導体基板上に中間絶縁膜を形成する工程と、半導体基板上の中間絶縁膜にコンタクト孔を形成する工程と、コンタクト孔に金属配線を設けることからなる半導体装置の製造方法とした。

【0006】

(2) 第1の多結晶シリコン膜への不純物導入法がボロンのイオン注入であることを特徴とする半導体装置の製造方法とした。

【0007】

(3) 第1の多結晶シリコン膜への不純物導入法が、 BF_2 のイオン注入であることを特徴とする半導体装置の製造方法とした。

【0008】

(4) 第1の多結晶シリコン膜への不純物導入法が、第1の多結晶シリコン膜の堆積時に不純物を同時に混入しながら堆積するDoped-CVD法であることを特徴とする半導体装置の製造方法とした。

【0009】

(5) 高融点金属シリサイド上に堆積した絶縁膜が酸化膜で構成されていることを特徴とする半導体装置の製造方法とした。

【0010】

(6) 高融点金属シリサイド上に堆積した絶縁膜が窒化膜で構成されていることを特徴とする半導体装置の製造方法とした。

【0011】

(7) 高融点金属シリサイド上に堆積した絶縁膜が酸化膜及び窒化膜及び酸化膜の積層構成されていることを特徴とする半導体装置の製造方法とした。

【0012】

(8) 第1の導電型のMOSトランジスタの低濃度拡散領域に第1の導電型の不純物を $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ ドーピングする工程と第2の多結晶シリコン膜の第1の領域の一部及び全域への第1の導電型の不純物ドーピング工程が同時であり、第2の導電型のMOSトランジスタの低濃度拡散領域に第2の導電型の不純物を $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ ドーピングする工程と第2の多結晶シリコン膜の第2の領域の一部及び全域への第2の導電型の不純物ドーピング工程が同時であることを特徴とする半導体装置の製造方法とした。

【0013】

(9) 第2の多結晶シリコン膜の第1の領域の一部及び全域への $1 \times 10^{19} \text{ atoms/cm}^3$ 以上の第1の導電型の不純物ドーピングが第1の導電型のMOSトランジスタの拡散領域ドーピングと同時であり、第2の多結晶シリコン膜の第2の領域の一部及び全域への $1 \times 10^{19} \text{ atoms/cm}^3$ 以上の第2の導電型の不純物ドーピングが第2の導電型のMOSトランジスタの拡散領域ドーピングと同時であることを特徴とする半導体装置の製造方法とした。

【0014】

【発明の実施の形態】

以下、本発明の実施例を図面を用いて詳細に説明する。

【0015】

図1は本発明の抵抗回路を有するCMOS半導体装置の一実施例を示す断面図である。

【0016】

本実施例では、P型シリコン半導体基板101中に基板とは逆導電型のN型ウェル拡散層領域102が形成されている。さらにシリコン半導体基板101中には基板とは逆導電型の不純物拡散層によるN型MOSトランジスタ114、N型ウェル拡散層領域102にはウェルと逆導電型の不純物拡散層によるP型MOSトランジスタ115が形成されている。そしてゲート絶縁膜105、ゲート電極となるP+型多結晶シリコン107と高融点金属シリサイド112の積層ポリサイド構造で、おのこのトランジスタが構成されている。そしてゲート電極のマスク材として酸化膜絶縁膜113をゲート電極の上に堆積させている。ここでゲート電極のマスク材として窒化膜を用いても構わない。また、ここではP型シリコン半導体基板を用いたが、N型シリコン基板上にP型ウェル拡散層を形成し、そこにCMOS半導体装置を構成しても構わない。

【0017】

また本実施例において、フィールド絶縁膜106上に第1導電型であるN型の第2の多結晶シリコン抵抗体116と、第2導電型であるP型の第2の多結晶シリコン抵抗体117が形成されているが、CMOSのゲート電極の一部である多結晶シリコン107と多結晶シリコン抵抗体116、117は別工程で形成され、膜厚も異なっており、多結晶シリコン抵抗体の方がゲート電極より薄く形成されている。たとえばゲート電極膜厚は2000Åから6000Å程度の膜厚であるのに対し、抵抗体の膜厚は500Åから2500Åで形成される。これは多結晶シリコン抵抗体においては膜厚は薄い方がシート抵抗値を高く設定でき、また温度特性も良くなるため、より精度を向上させることができる。

【0018】

N型多結晶シリコン抵抗体116には高抵抗領域110と抵抗体両端に配線材と十分なコンタクトをとることの出来る高濃度不純物領域108を有している。そして高抵抗領域110の不純物濃度をイオン注入で制御し、所望の抵抗値を有する抵抗体を形成する。同様にP型多結晶シリコン抵抗体117にも高抵抗領域111と高濃度不純物領域109を有し、高抵抗領域の不純物濃度により抵抗値を設定する。

【0019】

例えば、シート抵抗値はその抵抗の用途にもよるが通常に分圧回路においては数 $k\Omega/\square$ から数十 $k\Omega/\square$ の範囲で使われる。この時の不純物は P-抵抗体 117 においてはボロンないし BF_2 を用い $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ 程度の濃度であり、N-抵抗体 116 においてはリンないし砒素を用い $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ 程度の濃度である。

【0020】

また図 1 には N-抵抗体 116 および P-抵抗体 117 の両方を示しているが、それらの抵抗体の特徴と製品に要求される特性とを考慮し工程数やコスト削減の目的で N-抵抗体 116 もしくは P-抵抗体 117 のどちらかしか搭載しない場合もある。

【0021】

このようにゲート電極を P+型とすることで PMOS トランジスタは表面チャネルとなり、しきい値電圧を低く設定しても埋め込みチャネル時に比べリーク電流を抑えることが可能となる。一方 NMOS トランジスタの場合は、ゲート電極を P+型にすると埋め込みチャネルとなるがしきい値電圧の低下のための不純物注入にはボロンより拡散係数の小さい砒素を使うことになる。そのため N+型ゲート電極の PMOS トランジスタに比べ表面チャネルに近い状態になり、また砒素はシリコンと酸化膜の界面付近に凝縮する性質があるので、さらに表面チャネルに近づく。よって N 型 MOS トランジスタもしきい値電圧を下げてもしリーク電流を抑えることができ、低電圧動作が可能となる。また同極ゲート構造に対し、N 型 MOS トランジスタ、P 型 MOS トランジスタともにゲートを P+型にすることで製造工程が簡単となり、コストを下げる事が可能となる。

【0022】

さらに図 1 においてはアナログ回路において重要であるチャネル長変調の改善やホットキャリアーによる信頼性低下の抑制およびドレイン耐圧の向上を目的として、ソースとドレインもしくはドレインだけに低濃度不純物拡散層 N-120、P-121 を形成し、ソースとドレインもしくはドレインだけにゲート電極から距離をおいて設けた高濃度不純物拡散層 N+103、P+104 を有するドレ

インエクステンションMOSトランジスタ構造としている。この構造は例えば低濃度不純物拡散層を選択的に形成した後、レジストマスクとイオン注入技術により選択的に高濃度不純物拡散層を半導体中に設けることで形成され、入力電圧の高いVDやVRおよび出力電圧の高い昇圧型のSWRなどに、より対応が可能になる。

【0023】

低濃度不純物拡散層は、NMOS114のN-120の場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度であり、PMOS115のP-121の場合には不純物としてボロンないしは BF_2 を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度である。高濃度不純物拡散層は、NMOS114のN+103の場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であり、PMOS115のP+104の場合には不純物としてボロンないしは BF_2 を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【0024】

ゲート電極から離れて形成されているゲート電極から高濃度不純物拡散層までの距離、いわゆるオフセット長は半導体装置に入力される電圧にもよるが通常は $0.5 \mu\text{m}$ から数 μm である。図1においてはPMOS115の片側だけがオフセット構造であり、NMOS114は両側がオフセット構造となっているが、素子の回路での使用方法によりその回路において適切な構造をMOSトランジスタ導電型に関わらず選択することができる。標準的には電流方向が双方向でソースとドレインがケースバイケースで入れ替わる両方向に耐圧が必要な場合はソースとドレインの両方をオフセット構造とし、電流方向が単方向でソースとドレインが固定しているような場合には寄生抵抗の削減のため片側すなわちドレイン側だけをオフセット構造とする。

【0025】

以上の説明により本発明によるP+多結晶シリコン単極をゲート電極としたCMOSは、従来のN+多結晶シリコン単極をゲート電極としたCMOSに比べ、低電圧動作および低消費電力に対し有効な技術であり、さらにゲート電極と異なる多結晶シリコンの抵抗体とオフセット構造トランジスタを有する半導体装置と

することでアナログ回路に必要となる高機能、高精度がより可能となる。

【 0 0 2 6 】

次に図 1 に示す半導体装置の製造工程の一実施例を図 2 をもとに説明する。

【 0 0 2 7 】

P 型シリコン半導体基板 1 0 1 に例えばリンをイオン注入し、1 0 0 0 ~ 1 1 7 5 °C で 3 ~ 2 0 時間アニールを行いリンを拡散させ、不純物濃度が 1×10^{16} atoms/cm³ 程度となるような N 型ウェル拡散層 1 0 2 を形成する。その後 LOC OS 法によりフィールド絶縁膜 1 0 6 を形成、熱酸化によるゲート絶縁膜 1 0 5 を膜厚が 1 0 0 ~ 3 0 0 Å ほど形成し、所望のしきい値電圧を得るためイオン注入したのち、減圧 CVD 法で第 1 の多結晶シリコン膜を膜厚 5 0 0 Å から 2 5 0 0 Å ほど堆積させる。そしてこの第 1 の多結晶シリコン中の不純物濃度が 1×10^{18} atoms/cm³ 以上となるようにボロンもしくは BF₂ をイオン注入し、P + 型多結晶シリコン膜 1 0 7 を形成する (図 2 (a))。ここではイオン注入により P + 型多結晶シリコン膜を形成したが、多結晶シリコンを堆積する際にたとえばボロンなどの不純物を同時に混入ししながら堆積させる Doped-CVD 法で P + 型多結晶シリコン膜を形成してもかまわない。その後スパッタ法等で高融点金属シリサイドであるタングステンシリサイド 1 1 2 を P + 型多結晶シリコン膜上に堆積させる。尚、ここでは高融点金属シリサイドにタングステンシリサイドを用いたが、モリブデンシリサイドやチタンシリサイド、またはプラチナシリサイドを用いることも可能である。そして P + 型ゲート電極に N 型不純物導入を回避のためのマスク材として減圧 CVD 法により酸化膜絶縁膜 1 1 3 を 5 0 0 Å から 3 0 0 0 Å 堆積させ (図 2 (b))、フォトレジストでパターニングを施し P + 型ゲート電極を形成する。ここでマスク材としては窒化膜を使用しても構わない。そして熱酸化もしくは減圧 CVD 法等を用いてゲート電極部および半導体基板表面に酸化膜を 1 0 0 Å ~ 5 0 0 Å 形成する (図 2 (c))。また、ここで、P + 型ゲート電極上の絶縁膜 1 1 3 は高品質なキャパシター形成を目的として、例えば 3 0 0 Å の酸化膜、5 0 0 Å の膜厚の CVD 法による窒化膜、1 0 Å 程度の膜厚の熱酸化膜からなる積層構造である絶縁膜を用いても構わない。

【 0 0 2 8 】

次に図 2 (d) に示すように、CVD 法もしくはスパッタ法により例えば 1000 Å の膜厚の第 2 の多結晶シリコン 118 を堆積させる。そして低濃度の P 型抵抗体を形成するために、第 2 の多結晶シリコン 118 全面に P 型不純物である BF_2 をドーズ量を例えば $1 \times 10^{14} \text{atoms/cm}^2$ でイオン注入する。尚、 BF_2 の代わりにボロンを用いても構わない。その後図 2 (e) に示すように低濃度の N 型抵抗体領域をフォトレジスト 119 でパターニングし選択的にリンを、例えばドーズ量 $3 \times 10^{14} \text{atoms/cm}^2$ イオン注入する。このとき N 型抵抗体を安定して形成するためにリンのドーズ量は BF_2 ドーズ量に対して 2 倍以上にする必要がある。尚、リンの代わりに砒素を用いても構わない。このように後に N 型となる多結晶シリコン抵抗体領域に予め P 型抵抗体のシート抵抗値を設定するボロンを導入し、後に N 型不純物であるリンもしくは砒素で N 型抵抗体領域を打ち返すことで、効率よくシート抵抗値を上げることが可能となる。尚、P 型抵抗体領域および N 型抵抗体領域にフォトレジストなどのマスクをそれぞれ用いてイオン注入を打ち分ける方法をとっても構わない。

【 0 0 2 9 】

その後フォトレジスト 119 を除去後、フォトレジストでパターニングし RIE 異方性ドライエッチングをすることで、図 2 (f) のように第 1 導電型の N 型多結晶シリコン抵抗体 116 と、第 2 導電型の P 型多結晶シリコン抵抗体 117 を形成する。

【 0 0 3 0 】

次に図 2 (g) に示す様に、フォトレジスト 119 をパターニングし N 型不純物である砒素またはリンをイオン注入法により不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{atoms/cm}^3$ 程度となるようにドーピングし、NMOS トランジスタのソースおよびドレインの N 型低濃度不純物領域 120 を形成する。また図 2 (e) における第 2 多結晶シリコン抵抗体の N 型不純物導入を省略して、代わりに図 2 (g) においての N 型低濃度不純物を N 型抵抗体全域へドーピングし、高抵抗の N 型抵抗体を形成することも可能である。

【 0 0 3 1 】

次に図 2 (h) に示す様に、フォトレジスト 119 をパターニングし N 型不純

物である砒素をイオン注入法によりドーズ量 $5 \times 10^{15} \text{atoms/cm}^2$ でドーピングすることで、第 1 導電型である N 型の第 2 多結晶シリコン抵抗体 1 1 6 にアルミニウム配線と十分なコンタクトをとるための高濃度不純物領域 1 0 8 と、NMOS トランジスタのソースおよびドレインとなる N 型高濃度不純物領域 1 0 3 を同時に形成する。また図 2 (e) 及び図 2 (g) における第 2 多結晶シリコン抵抗体の N 型不純物導入を省略して、代わりに図 2 (h) においての N 型高濃度不純物を N 型抵抗体全域へドーピングし、比較的低抵抗の N 型抵抗体を形成することも可能である。

【 0 0 3 2 】

そしてフォトリジスト除去後、図 2 (i) に示す様に、あらたにフォトリジスト 1 1 9 をパターニングし P 型不純物であるボロンないし BF_2 をイオン注入法により不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{atoms/cm}^3$ 程度となるようにドーピングし、PMOS トランジスタのドレインの P 型低濃度不純物領域 1 2 1 を形成する。このとき必要に応じて、ソースにも低濃度不純物拡散層を形成しても構わない。また図 2 (d) における第 2 多結晶シリコン抵抗体の P 型不純物導入を省略して、代わりに図 2 (i) においての P 型低濃度不純物を P 型抵抗体全域へドーピングし、高抵抗の P 型抵抗体を形成することも可能である。

【 0 0 3 3 】

その後フォトリジスト除去した後、図 2 (j) に示す様に、フォトリジスト 1 1 9 をパターニングし P 型不純物である BF_2 をイオン注入法によりドーズ量 $5 \times 10^{15} \text{atoms/cm}^2$ でドーピングすることで、第 2 導電型である P 型の第 2 多結晶シリコン抵抗体 1 1 7 にアルミニウム配線と十分なコンタクトをとるための高濃度不純物領域 1 0 9 と、PMOS トランジスタのソースおよびドレインとなる P 型高濃度不純物領域 1 0 4 を同時に形成する。また図 2 (j) において、P 型高濃度不純物を P 型抵抗体全域へドーピングし、比較的低抵抗の P 型抵抗体を形成することも可能である。

【 0 0 3 4 】

その後は図示しないが従来の半導体プロセスと同様に、中間絶縁膜の形成、コンタクトホール形成、アルミニウム配線パターンの形成、保護膜の形成とそのパ

ターニングを経て相補型MOS半導体装置が形成される。

【0035】

以上本発明の実施の形態をP型半導体基板を用いた実施例により説明してきたが、基板の極性を逆にしてN型の半導体基板を用いたN基板Pウェル型のP+単極ゲートCMOSによっても以上に説明してきた内容と原理に同じく低電圧動作、低消費電力、低コストである半導体装置の提供は可能である。

【0036】

【発明の効果】、

上述したように、本発明はCMOSと抵抗体とを含むパワーマネジメント半導体装置やアナログ半導体装置において、CMOSのゲート電極の導電型をNMOS、PMOSともにP型多結晶シリコンと高融点金属シリサイドの積層構造であるP型ポリサイド構造の製造方法であり、さらに分圧回路やCR回路に用いられる抵抗体をゲート電極とは異なる別層の多結晶シリコンで形成することでより高精度の抵抗体を有することができる半導体装置の製造方法であるため、従来のN+多結晶シリコンゲート単極のCMOSやチャネルとゲート電極の極性が同じ同極ゲートCMOSに比べ、コスト、工期、素子の性能の面で有利であり、またより高機能、高精度なパワーマネジメント半導体装置やアナログ半導体装置の実現を可能とする。

【図面の簡単な説明】

【図1】

本発明のCMOS半導体装置の一実施例を示す模式的断面図。

【図2】

本発明のCMOS半導体装置の製造方法を示す工程順断面図。

【図3】

従来のCMOS半導体装置の一実施例を示す模式的断面図。

【図4】

従来のCMOS半導体装置の一実施例を示す模式的断面図。

【図5】

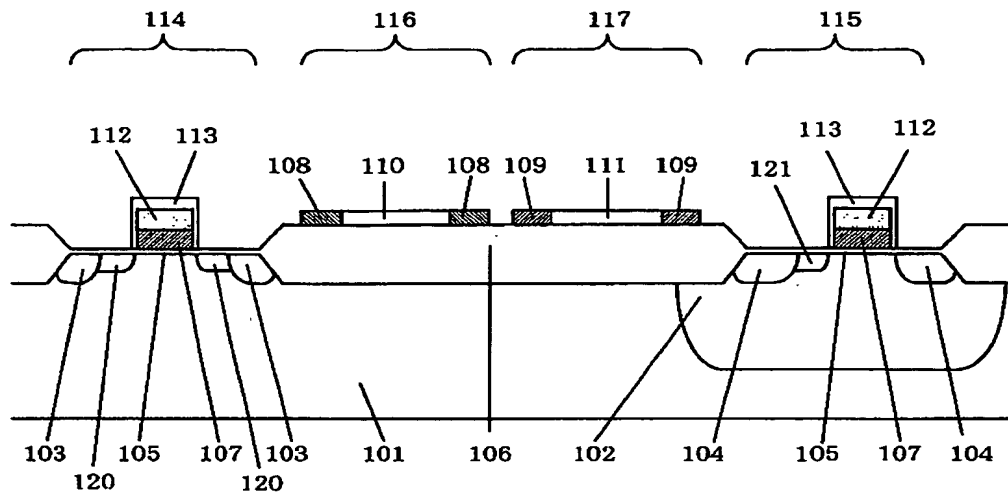
従来のCMOS半導体装置の一実施例を示す模式的断面図。

【符号の説明】

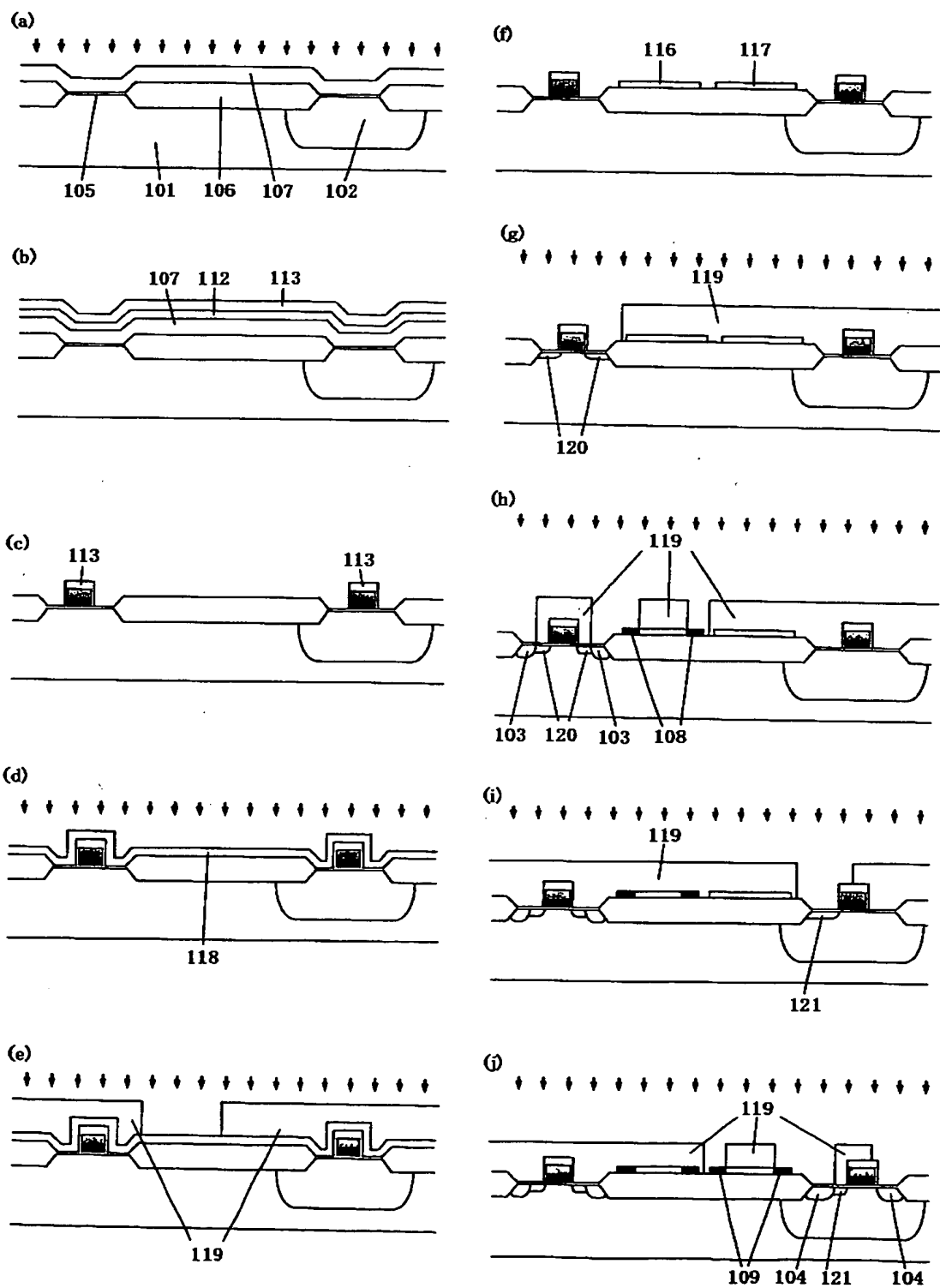
1 0 1、2 0 1	P型半導体基板
1 0 2、2 0 2	Nウェル
1 0 3、2 0 3	N+
1 0 4、2 0 4	P+
1 0 5、2 0 5	ゲート絶縁膜
1 0 6、2 0 6	フィールド絶縁膜
1 0 7、2 0 7	P+多結晶シリコン
1 0 8、2 0 8	N+多結晶シリコン
1 0 9、2 0 9	P+多結晶シリコン
1 1 0、2 1 0	N-多結晶シリコン
1 1 1、2 1 1	P-多結晶シリコン
1 1 2、2 1 2	高融点金属シリサイド
1 1 3	絶縁膜
1 1 4、2 1 4	NMOS
1 1 5、2 1 5	PMOS
1 1 6、2 1 6	N-抵抗体
1 1 7、2 1 7	P-抵抗体
1 1 8	多結晶シリコン
1 1 9	フォトレジスト
1 2 0	N-
1 2 1	P-
2 2 1	N+多結晶シリコン
2 2 2	P+多結晶シリコン

【書類名】 図面

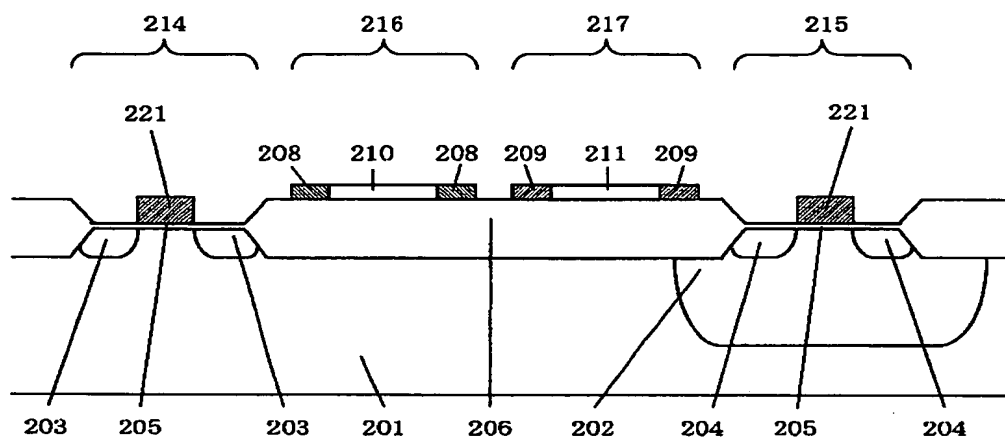
【図 1】



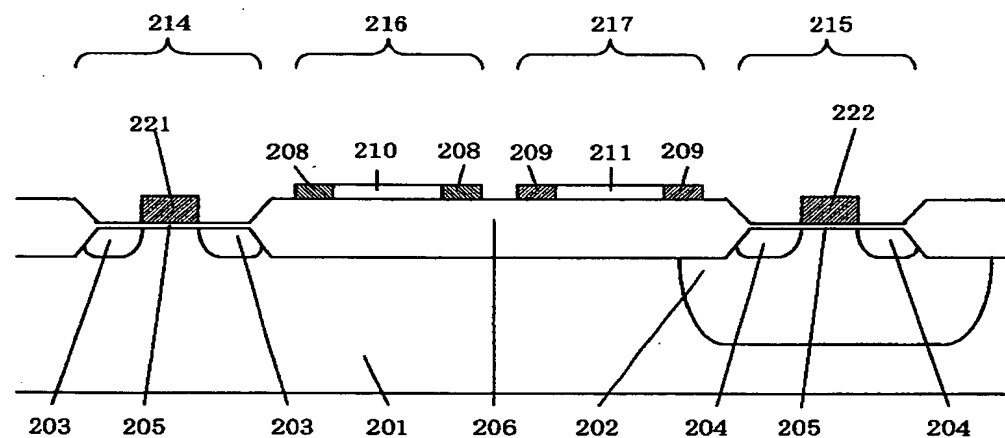
【図 2】



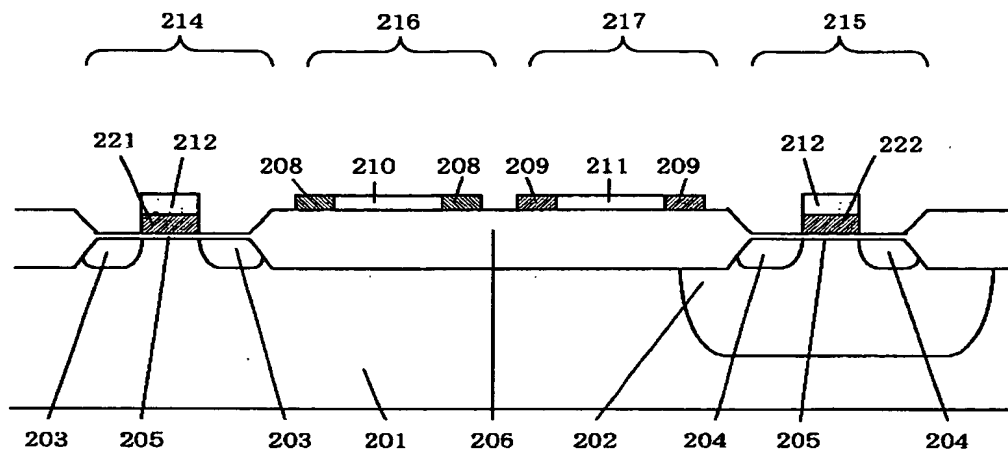
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 低コストで短工期でありかつ低電圧動作が可能で低消費電力および高駆動能力を有し、かつ高機能、高精度なパワーマネージメント半導体装置やアナログ半導体装置の実現を可能とする構造の製造方法を提供する。

【解決手段】 CMOSと抵抗体とを含むパワーマネージメント半導体装置やアナログ半導体装置において、CMOSのゲート電極の導電型をNMOS、PMOSとともにP型多結晶シリコンと高融点金属シリサイドの積層構造であるP型ポリサイド構造の製造方法であり、さらに分圧回路やCR回路に用いられる抵抗体をゲート電極とは異なる別層の多結晶シリコンで形成することでより高精度の抵抗体を有することができる半導体装置の製造方法であるため、従来のN+多結晶シリコンゲート単極のCMOSやチャンネルとゲート電極の極性が同じ同極ゲートCMOSに比べ、コスト、工期、素子の性能の面で有利であり、またより高機能、高精度なパワーマネージメント半導体装置やアナログ半導体装置の実現を可能とする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002325]

1. 変更年月日	1997年 7月23日
[変更理由]	名称変更
住 所	千葉県千葉市美浜区中瀬1丁目8番地
氏 名	セイコーインスツルメンツ株式会社